

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-084758

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

G11C 11/155

G11C 11/15

H01F 10/06

H01L 27/10

H01L 43/08

(21)Application number : 11-264430

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.09.1999

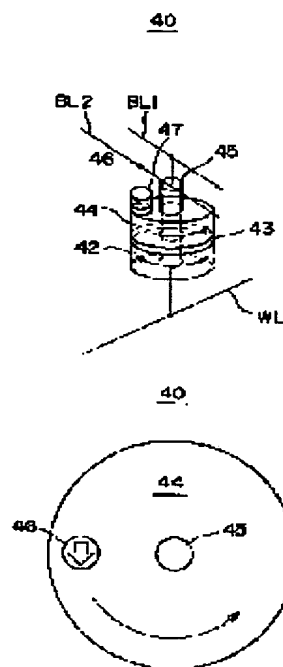
(72)Inventor : NAKAO HIROSHI  
YAMASHITA YOSHIMI  
HORIGUCHI NAOTO

(54) FERROMAGNETIC TUNNEL JUNCTION RANDOM ACCESS MEMORY, SPIN VALVE RANDOM-ACCESS MEMORY, SINGLE FERROMAGNETIC FILM RANDOM-ACCESS MEMORY AND MEMORY CELL ARRAY USING THEM

(57)Abstract:

**PROBLEM TO BE SOLVED:** To stably perform a write operation and a read operation by a method wherein a ferromagnetic layer which constitutes a ferromagnetic tunnel junction or a spin valve junction is formed annularly, so that the direction of magnetization of the ferromagnetic layer is not changed by a closure magnetic field even when a magnetic random-access memory is made fine.

**SOLUTION:** A conductive plug 45 which is composed of a nonmagnetic metal is formed so as to pass a ferromagnetic layer 42, a tunnel insulating film 43 and a ferromagnetic layer 44. A first bit line BL1 is connected to one end of the conductive plug 45, and a word line WL is connected to the other end. When a write current is made to flow to the conductive plug 45 constituted in this manner, the ferromagnetic layer 42 can be magnetized in the right-handed direction or its reverse left-handed direction. Then, when an antiferromagnetic film pattern 46 out of those of the ferromagnetic layer 44 is carried by a part which is away from the conductive plug 45, the direction of the magnetization of the ferromagnetic layer 44 is pinned.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-84758

(P2001-84758A)

(43) 公開日 平成13年3月30日 (2001. 3. 30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 1 1 C 11/155		G 1 1 C 11/155	A 5 E 0 4 9
11/15		11/15	5 F 0 8 3
H 0 1 F 10/06		H 0 1 F 10/06	
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
43/08		43/08	Z
審査請求 未請求 請求項の数12 O L (全 26 頁)			

(21) 出願番号 特願平11-264430

(22) 出願日 平成11年9月17日 (1999. 9. 17)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 中尾 宏

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 山下 良美

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

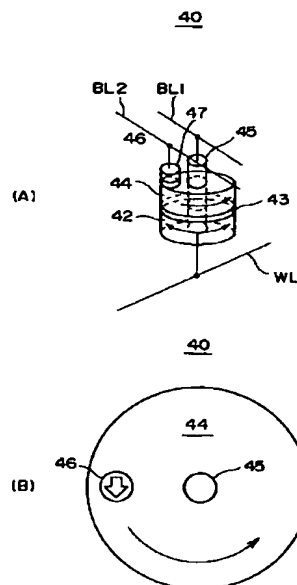
(54) 【発明の名称】 強磁性トンネル接合ランダムアクセスメモリ、スピンバルブランダムアクセスメモリ、単一強磁性膜ランダムアクセスメモリ、およびこれらをつかったメモリセルアレイ

(57) 【要約】

【課題】 微細化した場合でも安定に動作する磁気ランダムアクセスメモリを提供する。

【解決手段】 磁気ランダムアクセスメモリを、一対の強磁性リングとその間に介在するトンネル絶縁膜あるいは非磁性導電膜により構成し、さらに一方の強磁性リング上に、回転対称軸から外して反強磁性膜パターンをピニング層として形成し、前記強磁性リングの磁化方向をピニングする。

(A), (B) は、本発明の第1実施例による磁気ランダムアクセスメモリの構成を示す図



## 【特許請求の範囲】

【請求項1】 第1の強磁性膜と、前記第1の強磁性膜に隣接して形成され、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間に挟持されたトンネル絶縁膜とよりなる強磁性トンネル接合構造と、  
前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを、中心軸に沿って貫通する導電性ブラグと、  
前記導電性ブラグの第1の端部に接続された第1の選択線と、  
前記導電性ブラグの第2の、反対側の端部に接続された第2の選択線とを備え、  
前記第1の磁性膜は、前記導電性ブラグを囲むリング状形状を有し、前記導電性ブラグから絶縁されおり、  
前記第1および第2の強磁性膜のいずれか一方は、その一部に反強磁性膜パターンを担持することを特徴とする強磁性トンネル接合ランダムアクセスメモリ。

【請求項2】 第1の強磁性膜と、前記第1の強磁性膜に隣接して形成され、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間に挟持されたトンネル絶縁膜とよりなる強磁性トンネル接合構造と、  
前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを、中心軸に沿って貫通する導電性ブラグと、  
前記導電性ブラグの第1の端部に接続された第1の選択線と、  
前記導電性ブラグの第2の、反対側の端部に接続された第2の選択線とを備え、  
前記第1の磁性膜は、前記導電性ブラグを囲むリング状形状を有し、前記導電性ブラグから絶縁されおり、  
前記第1および第2の強磁性膜のうちの一方の強磁性膜は、前記他方の強磁性膜よりも大きい保磁力を有することを特徴とする強磁性トンネル接合ランダムアクセスメモリ。

【請求項3】 さらに前記第1の強磁性膜上には、前記導電性ブラグを避けて、第3の選択線が電気的に接続されることを特徴とする請求項1または2記載の強磁性トンネル接合ランダムアクセスメモリ。

【請求項4】 さらに、前記第2の強磁性膜上には、前記導電性ブラグを避けて、第4の選択線が電気的に接続されることを特徴とする請求項3記載の強磁性トンネル接合ランダムアクセスメモリ。

【請求項5】 前記第2の選択線は、前記導電性ブラグの前記第2の端部と前記第2の強磁性膜とを電気的に接続する導体パターンよりなることを特徴とする請求項3記載の強磁性トンネル接合ランダムアクセスメモリ。

【請求項6】 前記反強磁性膜パターンは、前記第1の強磁性膜上に担持され、前記第3の選択線は、前記第1

の強磁性膜に、前記反強磁性膜パターンを介して接続されることを特徴とする請求項5記載の強磁性トンネル接合ランダムアクセスメモリ。

【請求項7】 第1の強磁性膜と、前記第1の強磁性膜に隣接して形成された、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間に挟持された非磁性導電膜とよりなるスピンバルブ接合構造と、

前記スピンバルブ接合構造中を、前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを貫通して、中心軸に沿って延在する導電性ブラグと、  
前記導電性ブラグの第1の端部に接続された第1の選択線と、  
前記導電性ブラグの第2の、反対側の端部に接続された第2の選択線と、  
前記スピンバルブ接合構造の側壁面上の第1の位置に接続された第3の選択線と、

前記スピンバルブ接合構造の前記側壁面上、前記第1の位置に対向する第2の位置に接続された第4の選択線とを備え、

前記第1の磁性膜は、前記導電性ブラグを囲むリング状形状を有し、前記導電性ブラグから絶縁されおり、  
前記第1および第2の強磁性膜のいずれか一方は、その一部に反強磁性膜パターンを担持することを特徴とするスピンバルブランダムアクセスメモリ。

【請求項8】 強磁性膜と、  
前記強磁性膜の中央部を貫通する導電性ブラグと、  
前記導電性ブラグの第1の端部に接続された第1の選択線と、

前記導電性ブラグの第2の、反対側の端部に接続された第2の選択線とよりなり、  
前記強磁性膜は、前記導電性ブラグを囲むリング状形状を有し、前記導電性ブラグから絶縁されていることを特徴とする単一強磁性膜ランダムアクセスメモリ。

【請求項9】 各々が請求項5に記載した構成を有する強磁性トンネル接合ランダムアクセスメモリよりなるメモリセルを行列状に複数配列したメモリセルアレイにおいて、

前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、前記第3の選択線を、前記メモリセルアレイ中を前記第1の方向に、前記第1の共通選択線に平行に延在する第2の共通選択線に接続され、  
前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第3の共通選択線に接続され、

各々のメモリセルは、前記第3の共通選択線と前記第2の選択線との間に挿入されたスイッチを含むことを特徴

とするメモリセルアレイ。

【請求項10】 各々が請求項4に記載した構成を有する強磁性トンネル接合ランダムアクセスメモリよりなるメモリセルを行列状に複数配列したメモリセルアレイにおいて、

前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1および第3の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、

前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2および第4の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第2の共通選択線に接続され、

各々のメモリセルは、前記第2の共通選択線と前記第2の選択線との間に挿入された第1のダイオードと、前記第2の共通選択線と前記第4の選択線との間に挿入された第2のダイオードとを含み、前記第1のダイオードと前記第2のダイオードとは、異なった特性を有することを特徴とするメモリセルアレイ。

【請求項11】 各々が請求項7に記載した構成を有するスピンバルブランダムアクセスメモリよりなるメモリセルを行列状に複数配列したメモリセルアレイにおいて、

前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1および第3の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、

前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2および第4の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第2の共通選択線に接続され、

各々のメモリセルは、前記第2の共通選択線と前記第2の選択線との間に挿入された第1のダイオードと、前記第2の共通選択線と前記第4の選択線との間に挿入された第2のダイオードとを含み、前記第1のダイオードと前記第2のダイオードとは、異なった特性を有することを特徴とするメモリセルアレイ。

【請求項12】 各々が請求項8に記載した磁気ランダムアクセスメモリを行列状に複数配列したメモリセルアレイにおいて、

前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、

前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第2の共通選択線に接続され、

各々のメモリセルは、前記第2の共通選択線と前記第2の選択線との間にダイオードを挿入されたことを特徴と

するメモリセルアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に磁気メモリに係り、特に強磁性ランダムアクセスメモリおよびその製造方法に関する。ランダムアクセスメモリは、コンピュータ等の情報処理装置において主記憶装置として不可欠のものである。従来より、ランダムアクセスメモリはDRAM等の半導体記憶装置により構成されているが、磁気抵抗を使った磁気ランダムアクセスメモリにより構成することも可能である。磁気ランダムアクセスメモリは、一対の強磁性膜の間に絶縁体あるいは導体よりなる非磁性膜を挟持した単純な構成を有し、微細化および集積化に適している。さらにかかる磁気ランダムアクセスメモリは一般に不揮発性で、優れた応答特性を有するため、将来の超高速コンピュータのメモリとして、有望であると考えられている。磁気ランダムアクセスメモリについては、例えば Parkin, S.S.P., et al., J. Apply. Phys. vol.85, pp.5828, 1999を参照。

【0002】

【従来の技術】図1は、Parkin 他（前出）による、強磁性トンネル接合を使った磁気ランダムアクセスメモリ（MRAM）10の構成を示す。図1を参照するに、行方向に延在するワード線パターンWL上には反強磁性材料よりなるピニング層11が形成され、前記ピニング層11上には強磁性材料よりなるビンド層12が形成される。前記ビンド層11では、磁化方向がその下の前記反強磁性ピニング層11により、矢印の方向に固定、ないしピニングされる。さらに前記ビンド層12上には非磁性トンネル絶縁膜13を隔てて強磁性材料よりなるフリー層14が形成され、前記フリー層14上には列方向に延在するビット線パターンBLが形成される。その際、前記フリー層14は、前記ワード線WLと前記ビット線BLを流れる書き込み電流が形成する合成磁場により、図1において矢印で示す方向に、あるいはその反対方向に磁化される。換言すると前記MRAM10は、情報は前記フリー層14の磁化の形で書き込まれる。

【0003】一方、かかるMRAM10において書き込まれた情報を読み出すには、前記ビンド層12とフリー層14、および間に介在する非磁性トンネル絶縁膜13とよりなる強磁性トンネル接合の磁気抵抗を使う。より具体的に説明すると、前記フリー層14あるいはビンド層12のような強磁性体中においては伝導電子中にスピン分極が生じており、アップスピン電子の数とダウンスピン電子の数が異なっている。前記フリー層14とビンド層12の磁化方向が平行な場合には、フリー層14中のアップスピン電子あるいはダウンスピン電子は、ビンド層12中に存在する対応するスピン状態の電子の空き準位に、前記トンネル絶縁膜13を通してトンネルすることができ、前記強磁性トンネル接合は低い抵抗値を示

す。これに対し、前記フリー層14とビンド層12の磁化方向が反平行であった場合には、フリー層14中のアップスピン電子あるいはダウンスピン電子に対応する空き準位がビンド層12中に存在せず、このため前記トンネル絶縁膜13中において電子のトンネリングは生じない。換言すると、前記フリー層14のビンド層12が磁氣的に反平行状態にある場合には、前記強磁性トンネル接合は大きな抵抗値を示す。

【0004】そこで図1のMRAM10では、前記ワード線WLとビット線BLとの間の電圧を検出することにより、前記フリー層14中に書き込まれた情報を読み出すことができる。かかるフリー層14中に磁化の形で書き込まれた情報は、電源をオフにしても保存され、その結果前記MRAM10は不揮発性メモリを構成する。また、前記抵抗値を検出を行なってもフリー層14の磁化が反転することなく、このため前記MRAM10では非破壊読み出しが可能である。

【0005】

【発明が解決しようとする課題】一方、図1のMRAM10において微細化を進めていくと磁性体の体積に対する表面積の割合が増大し、図2(A)に示すように前記フリー層14あるいはビンド層12の磁化により発生する還流磁場の影響で、これらの強磁性層に図2(B)に示すような磁区が生じてしまう。このような磁区が形成されると、見かけ上全体として磁化が消滅するため、強磁性トンネル接合は動作することができない。この問題を回避するには、前記強磁性層12あるいは14について大きな保磁力を有する材料を使う必要があるが、このような材料を使った場合には、書込みに大電流が必要になってしまう。例えば図1のMRAM10から100nmの位置に形成されたワード線WLに流す電流で、磁化反転に要する100e程度の磁場を形成しようとなると数mAの電流が必要になるが、かかる大電流を0.1μmルールで形成したワード線WLに流した場合、電流密度は10<sup>7</sup> A/cm<sup>2</sup>にもなってしまふ。

【0006】これに対し、従来より微細化に適したMRAMとして、図3に示すスピバルブ構成のものが知られている(特表平9-509775号公報)。図3を参照するに、MRAM20は先のMRAM10と類似した積層構造を有し、ワード線パターンWL上に形成されたディスク状の反強磁性ピニング層21と、前記ピニング層21上に形成された同じくディスク状の強磁性ビンド層22と、前記ビンド層22上に形成されたリング状の強磁性フリー層24とを含み、前記ビンド層22とフリー層24との間には非磁性導電層23が挿入されている。また前記フリー層24上には、前記ワード線パターンWLに交叉する方向に延在するビット線BLが形成されている。かかるスピバルブ型MRAMでは、前記強磁性ビンド層22と非磁性導電層23との界面、および前記非磁性導電層23と強磁性フリー層24との界面に

おいて生じる電子のスピ方向に依存した散乱の結果、前記ワード線パターンWLとビット線パターンBLとの間で観測される磁気抵抗が、前記強磁性フリー層24の磁化方向如何によって変化する。

【0007】図3の構成のMRAM20では、各々の強磁性層22および24がディスク形状を有するため、前記強磁性層22および24をその円周方向に沿って、右回りあるいは左回りに磁化した場合、還流磁場の方向が磁化方向に一致するため、微細化しても図2(B)で説明した磁区が形成されることはない。一方、図3のスピバルブ型MRAM20では、前記強磁性層22、24、反強磁性層21および非磁性層23は全て導電層であるためビット線BLとワード線WLとの間の抵抗が低く、このため読み出し時に、磁気抵抗検出のため大きな電流が必要になる問題点を有する。

【0008】さらに、図3のMRAM20では、前記ビンド層22の磁化方向を所望の円周方向に設定するのが困難である問題点を有する。すなわち、図3のMRAM20では前記反強磁性ピニング層21が前記ビンド層22の下主面全面に形成されているため、外部磁界の存在下で前記ピニング層21の磁化により前記ビンド層22の磁化方向を固定した場合、磁化方向は一方に固定されるだけで、所望の円周方向に沿った磁化は得られない。

【0009】そこで、本発明は上記の課題を解決した、新規で有用な磁気ランダムアクセスメモリおよびその製造方法を提供するのを概括的課題とする。本発明のより具体的な課題は、微細化に適し、製造が容易で、大きな抵抗変化を示す磁気ランダムアクセスメモリおよびその製造方法、さらにかかる磁気ランダムアクセスメモリを使ったメモリセルアレイを提供することにある。

【0010】

【課題を解決するための手段】本発明は上記の課題を、請求項1に記載したように、第1の強磁性膜と、前記第1の強磁性膜に隣接して形成され、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間に挟持されたトンネル絶縁膜とよりなる強磁性トンネル接合構造と、前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを、中心軸に沿って貫通する導電性プラグと、前記導電性プラグの第1の端部に接続された第1の選択線と、前記導電性プラグの第2の、反対側の端部に接続された第2の選択線とを備え、前記第1の磁性膜は、前記導電性プラグを囲むリング形状を有し、前記導電性プラグから絶縁されおり、前記第1および第2の強磁性膜のいずれか一方は、その一部に反強磁性膜パターンを担持することとを特徴とする強磁性トンネル接合ランダムアクセスメモリにより、または請求項2に記載したように、第1の強磁性膜と、前記第1の強磁性膜に隣接して形成され、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間

に挟持されたトンネル絶縁膜とよりなる強磁性トンネル接合構造と、前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを、中心軸に沿って貫通する導電性プラグと、前記導電性プラグの第1の端部に接続された第1の選択線と、前記導電性プラグの第2の、反対側の端部に接続された第2の選択線とを備え、前記第1の磁性膜は、前記導電性プラグを囲むリング状形状を有し、前記導電性プラグから絶縁されおり、前記第1および第2の強磁性膜のうちの一方の強磁性膜は、前記他方の強磁性膜よりも大きい保磁力を有することを特徴とする強磁性トンネル接合ランダムアクセスメモリにより、または請求項3に記載したように、さらに前記第1の強磁性膜上には、前記導電性プラグを避けて、第3の選択線が電気的に接続されることを特徴とする請求項1または2記載の強磁性トンネル接合ランダムアクセスメモリにより、または請求項4に記載したように、さらに、前記第2の強磁性膜上には、前記導電性プラグを避けて、第4の選択線が電気的に接続されることを特徴とする請求項3記載の強磁性トンネル接合ランダムアクセスメモリにより、または請求項5に記載したように、前記第2の選択線は、前記導電性プラグの前記第2の端部と前記第2の強磁性膜とを電気的に接続する導体パターンよりなることを特徴とする請求項3記載の強磁性トンネル接合ランダムアクセスメモリにより、または請求項6に記載したように、前記反強磁性膜パターンは、前記第1の強磁性膜上に担持され、前記第3の選択線は、前記第1の強磁性膜に、前記反強磁性膜パターンを介して接続されることを特徴とする請求項5記載の強磁性トンネル接合ランダムアクセスメモリにより、または請求項7に記載したように、第1の強磁性膜と、前記第1の強磁性膜に隣接して形成された、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間に挟持された非磁性導電膜とよりなるスピバルブ接合構造と、前記スピバルブ接合構造中を、前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを貫通して、中心軸に沿って延在する導電性プラグと、前記導電性プラグの第1の端部に接続された第1の選択線と、前記導電性プラグの第2の、反対側の端部に接続された第2の選択線と、前記スピバルブ接合構造の側壁面上の第1の位置に接続された第3の選択線と、前記スピバルブ接合構造の前記側壁面上、前記第1の位置に対向する第2の位置に接続された第4の選択線とを備え、前記第1の磁性膜は、前記導電性プラグを囲むリング状形状を有し、前記導電性プラグから絶縁されおり、前記第1および第2の強磁性膜のいずれか一方は、その一部に反強磁性膜パターンを担持することを特徴とするスピバルブランダムアクセスメモリにより、または請求項8に記載したように、強磁性膜と、前記強磁性膜の中央部を貫通する導電性プラグと、前記導電性プラグの第1の端部に接続された第1の選択線と、前記導電性プラグの第

2の、反対側の端部に接続された第2の選択線とよりなり、前記強磁性膜は、前記導電性プラグを囲むリング状形状を有し、前記導電性プラグから絶縁されていることを特徴とする単一強磁性膜ランダムアクセスメモリにより、または請求項9に記載したように、各々が請求項5に記載した構成を有する強磁性トンネル接合ランダムアクセスメモリよりなるメモリセルを行列状に複数配列したメモリセルアレイにおいて、前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、前記第3の選択線を、前記メモリセルアレイ中を前記第1の方向に、前記第1の共通選択線に平行に延在する第2の共通選択線に接続され、前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第3の共通選択線に接続され、各々のメモリセルは、前記第3の共通選択線と前記第2の選択線との間に挿入されたスイッチを含むことを特徴とするメモリセルアレイにより、または請求項10に記載したように、各々が請求項4に記載した構成を有する強磁性トンネル接合ランダムアクセスメモリよりなるメモリセルを行列状に複数配列したメモリセルアレイにおいて、前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1および第3の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2および第4の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第2の共通選択線に接続され、各々のメモリセルは、前記第2の共通選択線と前記第2の選択線との間に挿入された第1のダイオードと、前記第2の共通選択線と前記第4の選択線との間に挿入された第2のダイオードとを含み、前記第1のダイオードと前記第2のダイオードとは、異なった特性を有することを特徴とするメモリセルアレイにより、または請求項11に記載したように、各々が請求項7に記載した構成を有するスピバルブランダムアクセスメモリよりなるメモリセルを行列状に複数配列したメモリセルアレイにおいて、前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1および第3の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2および第4の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第2の共通選択線に接続され、各々のメモリセルは、前記第2の共通選択線と前記第2の選択線との間に挿入された第1のダイオードと、前記第2の共通選択線と前記第4の選択線との間に挿入された第2の

ダイオードとを含み、前記第1のダイオードと前記第2のダイオードとは、異なった特性を有することを特徴とするメモリセルアレイにより、または請求項12に記載したように、各々が請求項8に記載した磁気ランダムアクセスメモリを行列状に複数配列したメモリセルアレイにおいて、前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第2の共通選択線に接続され、各々のメモリセルは、前記第2の共通選択線と前記第2の選択線との間にダイオードを挿入されたことを特徴とするメモリセルアレイにより、解決する。

【作用】本発明によれば、強磁性トンネル接合ランダムアクセスメモリあるいはスピンバルブランダムアクセスメモリにおいて、ビンド層の磁化方向を固定するピニング層を、ビンド層の全面にではなく、その一部にのみ形成することにより、前記ビンド層の磁化方向を、前記強磁性トンネル接合あるいはスピンバルブ接合を貫通する書き込み電流路を囲む円周方向に設定することができる。ビンド層の磁化方向を、このように書き込み電流に対して右回り方向あるいは左回り方向に設定することにより、前記強磁性トンネル接合ランダムアクセスメモリあるいはスピンバルブランダムアクセスメモリでは、還流磁場の効果で従来不可能であった程度までの、あるいはそれ以下の微細化が可能になる。

【0011】強磁性トンネル接合を使う場合、メモリの抵抗値がトンネル絶縁膜の効果により増大し、その結果書き込み電流あるいは読み出し電流が減少し、メモリの消費電力を低減することができる。これに対しスピンバルブ接合を使う場合には、読み出し時における電流路が前記強磁性膜の面に平行に形成され、その結果、強磁性膜に垂直に電流路が形成される従来のスピンバルブ型磁気ランダムアクセスメモリにおいて生じていたような、低すぎる抵抗値によるメモリの消費電力増大の問題が解決される。

【0012】さらに、単一のリング状強磁性膜にこれを貫通する電流路を組み合わせた磁気ランダムアクセスメモリは構造が簡単で、選択線の数も減少させることができ、メモリセルアレイを構成した場合に集積密度を向上させることができる。さらに、前記強磁性トンネル接合ランダムアクセスメモリ、スピンバルブランダムアクセスメモリ、あるいは単一強磁性膜ランダムアクセスメモリをメモリセルに使うメモリセルアレイを構成する場合、各々のメモリセルにトランジスタ等のスイッチあるいはダイオード等の非線型素子を設けることにより、書き込み電流あるいは読み出し電流を、選択されたメモリセルにのみ供給することが可能になる。

【0013】

【発明の実施の形態】図4(A)は、本発明の第1実施例によるMRAM40の構成を示す斜視図、図4(B)はMRAM40の平面図である。図4(A)を参照するにMRAM40は、厚さが例えば20nmで内径が60nm、外径が120nmの、例えばFeNi合金層とCo層とを積層した構造を有する強磁性リング42を含み、前記強磁性リング42上に、厚さが典型的には2nmのAl<sub>2</sub>O<sub>3</sub>等よりなるトンネル絶縁膜43が形成される。前記トンネル絶縁膜は、Al<sub>2</sub>O<sub>3</sub>により形成した場合には、前記強磁性リング42上に薄い、数nm以下の厚さのAl層を堆積し、その表面を自然酸化、あるいはプラズマ酸化することにより形成される。このようにして形成されたトンネル絶縁膜は、一般にAl<sub>2</sub>O<sub>3</sub>の化学量論組成からは多少外れ、Al<sub>2</sub>O<sub>x</sub>で表現される組成を有する。さらに、前記トンネル絶縁膜43上には、前記強磁性リング42と同様な構成の別の強磁性リング44が、前記強磁性リング42に対して同軸的に形成されている。

【0014】さらに、図4(A)のMRAM40では、前記強磁性リング42、トンネル絶縁膜43および強磁性リング44を貫いてW、Cu、Ag、Pt等の非磁性金属よりなる導電性ブラグ45が形成され、前記導電性ブラグ45の一端に第1のビット線BL<sub>1</sub>が、他端にワード線WLが接続される。かかる構成においては、前記導電性ブラグ45に書き込み電流を流すことにより、前記強磁性膜42中に、図中矢印で示すように右手回り方向、あるいは逆の左手回り方向に、磁化を形成することができる。

【0015】MRAM40は、さらに前記強磁性リング44上のうち前記導電性ブラグ45から外れた部分、換言すると前記強磁性リング44の回転対称軸から外れた部分に好ましくはPtMnあるいはPdPtMn等のMn系反強磁性材料よりなる反強磁性膜パターン46を担持し、前記反強磁性膜46により、前記強磁性リング44中における磁化の方向が、図4(A)の矢印の方向にピニングされる。

【0016】図4(B)は、反磁性膜パターン46による、強磁性リング44の磁化方向のピニングを示す。図4(B)を参照するに、前記反磁性膜パターン46は全体としては磁化を示さないが、一様な外部磁場を印加することにより、前記強磁性リング44との界面において図4(B)中に太矢印で示す方向の磁化を形成することができる。そこで、このような反磁性膜パターン46が形成する磁場中において前記強磁性リング44を磁化することにより、前記強磁性リング44の磁化方向は図4(B)の例では左手回り方向に設定される。前記反強磁性膜パターン46は全体として磁化を示さないため外部磁化に対して安定で、前記導電性ブラグ45に書き込み電流を供給して前記強磁性リング42の磁化を反転させ



ても、強磁性リング44の磁化方向は変化しない。また、かかるリング状の強磁性層中では、還流磁場が円周方向の磁化と一致するため、磁化方向を乱すこと無く微細化を行なうことが可能になる。すなわち、図4

(A)、(B)のMRAM40は高密度集積に適しており、後で説明するメモリセルアレイを構成することにより、非常に大きな記憶容量を有する不揮発性の高速メモリ装置を構成することが可能になる。

【0017】さらに前記MRAM40では、図4(A)に示すように前記反強磁性パターン46上にCu、Pt、Ag等よりなる非磁性導電プラグ47が形成され、前記非磁性導電プラグ47に前記ビット線BL<sub>1</sub>に平行に延在する別のビット線BL<sub>2</sub>が接続される。そこで、前記強磁性リング42中の磁化方向が前記強磁性リング44中の磁化方向と一致する場合には、前記強磁性リング44から前記強磁性リング42へと、前記トンネル絶縁膜43を介してトンネル電流が流れるため、前記第2のビット線BL<sub>2</sub>とワード線WLとの間の抵抗値は低い第1の値を有する。これに対し、前記強磁性リング42中の磁化方向が前記強磁性リング44中の磁化方向と逆の場合には、前記トンネル絶縁膜43を介したトンネル電流は流れないため、前記第2のビット線BL<sub>2</sub>と前記ワード線WLとの間の抵抗値は第2の、より大きな値を有する。そこで、このようなワード線WLとビット線BL<sub>2</sub>との間の抵抗値を検出することにより、前記MRAM40中に磁化の形で書き込まれた情報を読み出すことができる。ただし、図4(A)、(B)の構成では、前記導電性プラグ45は前記強磁性リング44に対して絶縁されているが、前記強磁性リング42と導電性プラグ45とは電氣的に接続されている。あるいは、前記強磁性リング42と導電性プラグ45とを絶縁し、強磁性リング44と導電性プラグ45とを電氣的に接続してもよい。前記MRAM40の細かい構造は、製造方法を記載した後の実施例において説明する。

【0018】一方、前記MRAM40中に情報を書き込む場合には、先にも説明したように前記ビット線BL<sub>1</sub>とワード線WLとの間に書き込み電流を、前記ワード線WLからビット線BL<sub>1</sub>へ、あるいは前記ビット線BL<sub>1</sub>からワード線WLへと流し、前記強磁性リング42中の磁化方向を反転させる。先にも説明したように、かかる書き込みの際に前記強磁性リング44の磁化は前記反強磁性膜パターン46によりピニングされているため、前記強磁性リング44において磁化の反転が生じることはない。

【0019】なお、図4(A)、(B)のMRAM40において、前記強磁性リング42あるいは44の外形は円形に限定されるものではなく、還流磁場が含まれるような形状であれば、多角形状等、どのようなものでもよい。図5は、図4(A)、(B)のMRAM40の一変形例によるMRAM40Aを示す。ただし図5中、

先に説明した部分には同一の参照符号を付し、説明を省略する。

【0020】図5を参照するに、本実施例では前記反強磁性膜46と前記非磁性導電プラグ47とが前記強磁性リング44上の異なった位置にそれぞれ形成されている。すなわち、本実施例においては前記非磁性導電プラグ47は前記強磁性リング44上に、直接に形成されている。図5の構成においても、前記強磁性リング44の磁化方向は前記反強磁性膜パターン46によりピニングされ、前記強磁性リング42の磁化方向による強磁性トンネル接合の抵抗変化を検出することにより、前記強磁性リング42中に磁化の形で書き込まれた情報を読み出すことが可能になる。また情報の書込みは、図4

(A)、(B)のMRAM40と同様に、前記導電性プラグ45に書き込み電流を流すことにより、行われる。

【第2実施例】図6は、本発明の第2実施例によるMRAM40Bの構成を示す。ただし図6中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0021】図6を参照するに、MRAM40Bは図5のMRAM40Aと類似した構成を有するが、単一のワード線WLの代わりに前記導電性プラグ45に接続されたワード線WL<sub>1</sub>と、前記強磁性リング42に前記導電性プラグ47と同様な導電性プラグ（図示せず）を介して接続されたワード線WL<sub>2</sub>とを備え、前記ワード線WL<sub>1</sub>は情報の書き込みのために、またワード線WL<sub>2</sub>は情報の読み出しのために使われる。すなわち、前記ワード線WL<sub>1</sub>とビット線BL<sub>1</sub>を選択することにより、前記導電性プラグ45に書き込み電流が流れ情報の書込みが前記強磁性リング42に対してなされる。一方、前記ワード線WL<sub>2</sub>とビット線BL<sub>1</sub>を選択することにより、前記トンネル絶縁膜44を通るトンネル電流路の抵抗が検出され、検出された抵抗の値に基づいて前記強磁性リング42に磁化の形で書き込まれた情報の内容が判定される。

【0022】すなわち、図6のMRAM40Bによっても、前記MRAM40あるいは40Aと同様な動作が得られる。

【第3実施例】図7は、本発明の第3実施例によるMRAM40Cの構成を示す。ただし図7中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0023】図7を参照するに、MRAM40Cは図4のMRAM40あるいは図5のMRAM40Aと類似した構成を有するが、前記強磁性リング44の代わりに矢印の方向に磁化された強磁性パターン44Aを有する。前記強磁性パターン44Aは磁化方向に延在し、前記強磁性リング42よりも保磁力の大きい強磁性材料により構成される。

【0024】かかる構成では、前記導電性プラグ45に書き込み電流を流し、前記強磁性リング42の磁化方向を反転させても前記強磁性パターン44Aの磁化方向は

10

20

30

40

50

変化せず、その結果前記MRAM40あるいは40Aと同様な、書込みおよび読み出し動作が可能である。

〔第4実施例〕図8は、本発明の第4実施例によるMRAM50の構成を示す。

【0025】図8を参照するにMRAM50はスピンバルブ型の構成を有し、厚さが例えば20nmで内径が60nm、外径が120nmの、例えばFeNi合金層とCo層とを積層した構造を有する強磁性リング52を含む。前記強磁性リング52上には厚さが典型的には1.5nmのAlあるいはCu等の非磁性リング53が形成され、さらに前記非磁性リング53上には、前記強磁性リング52と同様な構成の別の強磁性リング54が、前記強磁性リング52および非磁性リング43に対して同軸的に形成されている。

【0026】さらに、前記強磁性リング52、非磁性リング53および強磁性リング54を貫いてW、Cu、Ag、Pt等の非磁性金属よりなる導電性ブラグ55が形成され、前記導電性ブラグ55の一端に第1のビット線BL<sub>1</sub>が、他端にワード線WL<sub>1</sub>が接続される。かかる構成においては、前記導電性ブラグ55に書込み電流を流すことにより、前記強磁性膜52中に、図中矢印で示すように右手回り方向、あるいは逆の左手回り方向に、磁化を形成することができる。

【0027】MRAM50は、さらに前記強磁性リング54上のうち前記導電性ブラグ55から外れた部分、換言すると前記強磁性リング54の回転対称軸から外れた部分に好ましくはPtMnあるいはPdPtMn等のMn系反強磁性材料よりなる反強磁性膜パターン56を担持し、前記反強磁性膜56により、前記強磁性リング54中における磁化の方向が、図8の矢印の方向にビニングされる。さらに、図8のMRAM50は、前記リング52〜54よりなるスピンバルブ接合構造のうち、前記回転対称軸を挟んで対向する位置に、導電性ブラグ57Aおよび57Bを有する。

【0028】このうち前記導電性ブラグ57Aにはビット線BL<sub>1</sub>が接続され、導電性ブラグ57Bにはワード線WL<sub>1</sub>が接続される。読み出し時には、前記ビット線BL<sub>1</sub>およびワード線WL<sub>1</sub>を介して前記導電性ブラグ57Aと57Bとの間の磁気抵抗を検出することにより、前記強磁性リング52中に書き込まれた情報が読み出される。図8の構成では磁気抵抗の検出が、このように非磁性リング53の面に平行な方向に実行されるため、従来のような非磁性リング53の面に垂直な方向に磁気抵抗の検出を行なう場合に比べて検出される磁気抵抗の絶対値が増大し、より高感度での磁気抵抗検出が可能になり、読み出し時における信頼性が向上する。

【0029】本実施例では、スピンバルブ接合を構成する強磁性層52および54をリング状に形成することにより、MRAM50が非常に微細化された場合でも、強磁性層52、54の磁化を安定に保持することが可能に

なる。また、前記反強磁性膜パターン56を前記強磁性リング54の一部に、回転対称軸を外して形成することにより、前記強磁性リング54の磁化を、前記円周方向にビニングすることが可能になる。

〔第5実施例〕図9(A)は、本発明の第5実施例によるMRAM60の構成を示す。

【0030】図9(A)を参照するに、前記MRAM60は単一の強磁性リング61を含み、前記強磁性リング61の中心部には、回転対称軸に沿って導電性ブラグ62が延在する。さらに前記導電性ブラグ62の一端にはビット線BL<sub>1</sub>が、他端にはワード線WL<sub>1</sub>が接続される。さらに前記強磁性リング61は、書き込まれた情報の内容により、右回り方向に、あるいは左回り方向に磁化される。

【0031】図9(B)は、図9(A)のMRAM60の動作原理を示す。図9(B)を参照するに、前記強磁性リング61が右回り方向に磁化されている場合、前記ビット線BL<sub>1</sub>とワード線WL<sub>1</sub>との間に前記強磁性リング61を既に存在している右回り方向に磁化するような書込み電流を流した場合(順方向)、時間と共に書き込み電流は急速に立ち上がるのがわかる。これに対し前記書込み電流を、既存の磁化を逆転させるような方向に流した場合(逆方向)、前記磁化の逆転に要するエネルギーの分だけ書き込み電流の立ち上がりが遅れる。そこで、このような書き込み電流の立ち上がり特性を検出することにより、前記MRAM60中に書き込まれた情報を読み出すことが可能になる。

【0032】その際、前記書込み電流を実際に磁化の反転を生じるとなると、前記強磁性リングに書き込まれていた情報は書き換えられてしまうので、前記読み出し動作は破壊読み出しとなる。これに対し、前記書込み電流の大きさを、実際に磁化の反転が生じない程度に制限した場合には、前記書込み情報は書き換えられることはなく、非破壊読み出しが可能になる。

【0033】このように、図9(A)のMRAM60は非常に簡単な構成ながら、不揮発性ランダムアクセスメモリとして動作が可能である。

〔第6実施例〕次に、先の実施例で説明したMRAMを使ったメモリエレイの構成を、本発明の第6実施例として説明する。

【0034】図10(A)、(B)は、以下のメモリエレイの説明で使う、MRAMの記号を示す。このうち、図10(A)は、前記MRAM40、40A〜40Cあるいは50を示す記号であり、図10(B)は図9(A)のMRAM60を示す記号である。図10(A)の記号は、図6のMRAM40Bあるいは図8のMRAM50のように二本のビット線BL<sub>1</sub>、BL<sub>2</sub>と二本のワード線WL<sub>1</sub>、WL<sub>2</sub>を有する構成に対応しているが、他のMRAM40、40Aあるいは40Cも、前記

二本のワード線 $WL_1$ 、および $WL_2$ を共通接続することで、表現することが可能である。

【0035】図11は、前記本発明の第6実施例によるメモリセルアレイ70の構成を示す。図11を参照するに、前記メモリセルアレイ70は各々前記MRAM40、40A~40Cのいずれかに対応する構成のメモリセルAからJを行列状に配列し、さらに行方向に配列したメモリセルA、B、Cを共通ビット線1および2に接続し、列方向に配列したメモリセルA、D、Hを共通ワード線bに接続した構成を有する。同様に、行方向に配列したメモリセルD、E、Fは、共通ビット線3、4に接続され、列方向に配列したメモリセルB、E、Iは共通ワード線dに接続される。さらに行方向に配列したメモリセルH、I、Jは、共通ビット線5、6に接続され、列方向に配列したメモリセルC、F、Jは共通ワード線fに接続される。

【0036】その際、前記メモリセルA~Jをこれら共通ビット線1~6あるいは共通ワード線b、d、fに直接に接続すると、書き込み電流あるいは読み出し電流が前記共通ビット線あるいは共通ワード線を介してメモリセルアレイ中を流れ、他のメモリセルまで到達してしまうため、図11のメモリセルアレイでは、各々のメモリセルと対応するワード線との間に選択トランジスタTA~TJが設けられている。例えばメモリセルAと対応するワード線bとの間には、選択トランジスタTAが設けられているのがわかる。前記選択トランジスタTAは、第2の共通ワード線a上の選択信号によりターンオンし、その結果前記メモリセルAがワード線bに電氣的に接続される。そこで、この状態で共通ビット線1に書き込み電流を供給すると、前記メモリセルA中に"0"または"1"の情報が、前記書き込み電流の極性に応じて書き込まれる。その際、同じ共通ビット線1に接続された他のメモリセルBあるいはCは、対応する選択トランジスタTBあるいはTCがターンオンしないため、前記書き込み電流を供給しても、これらのメモリセルにおいて情報の書き込みがなされることはない。また、読み出し時においても、前記共通ビット線2から供給される読み出し電流が、選択されたメモリセル以外のメモリセルに流れることはない。上記の説明は、前記メモリセルアレイ中の全てのメモリセルに当てはまる。

【0037】そこで、前記共通ワード線a、bあるいはc、dあるいはe、fのいずれかを選択し、さらにビット線1、2あるいは3、4あるいは5、6を選択することにより、任意のメモリセルに情報を書き込み、また読み出すことが可能になる。各々のメモリセルは情報を磁化の形で保持するため、仮に電源をオフにしても、書き込まれた情報が失われることはない。

【第7実施例】図12は、本発明の第7実施例によるメモリセルアレイ80の構成を示す。ただし図12中、先に説明した部分には同一の参照符号を付し、説明を省略

する。

【0038】図12を参照するに、本実施例では選択トランジスタTA~TIは、第2の共通ビット線2、4あるいは6上の選択信号によりターンオンする。例えば前記メモリセルAに情報を書き込む場合、前記共通ビット線2を選択し、前記選択トランジスタTAをターンオンさせる。この状態で共通ビット線1および共通ワード線aを選択し、前記共通ビット線1から前記メモリセルAを通り、前記共通ビット線aに至る書き込み電流路に書き込み電流を供給することにより、所望の情報を前記メモリセルAに書き込む。

【0039】一方、前記メモリセルAから情報を読み出す場合には前記共通ビット線2を選択し、前記メモリセルトランジスタTAをターンオンさせると同時に、前記共通ワード線aを選択する。この状態で前記共通ビット線2から前記メモリセルAを通り前記共通ワード線aに至る読み出し電流路に読み出し電流を供給することにより、前記メモリセルAに書き込まれた情報が読み出される。その際、選択トランジスタTB、TCもターンオンするが、共通ワード線bあるいは共通ワード線cは選択されないため、メモリセルBあるいはCに読み出し電流が流れることはない。また、共通ビット線3、4、5、6は選択されないため、他のメモリセルD、E、F、あるいはG、H、Iに読み出し電流が流れることはない。

【0040】本実施例では、前記選択トランジスタTA~TIの活性化に読み出し用の共通ビット線2、4あるいは6を使うことにより、図11の実施例で使われていた、選択トランジスタを活性化するための共通ワード線を省略することができ、磁気ランダムアクセスメモリの構成が実質的に簡素化される。

【第8実施例】図13は、本発明の第8実施例によるメモリセルアレイ90の構成を示す。ただし図13中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0041】図13を参照するに、本実施例では各々のメモリセルA~Iについて、書き込み電流路中に二つのダイオードを1対向接続して構成した第1の非線型素子DA<sub>1</sub>~DI<sub>1</sub>を挿入し、さらに読み出し電流路中に、ダイオードよりなる第2の非線型素子DA<sub>2</sub>~DI<sub>2</sub>を挿入している。図14は、前記第1の非線型素子DA<sub>1</sub>および第2の非線型素子DA<sub>2</sub>の電圧電流特性を比較して示す。ただし図14中、実線が前記非線型素子DA<sub>1</sub>の特性を、破線が非線型素子DA<sub>2</sub>の特性を示す。

【0042】図14を参照するに、前記非線型素子DA<sub>1</sub>は大きなしきい値電圧THを特徴とし、前記しきい値電圧を超える大きな書き込み電圧+V<sub>w</sub>あるいは-V<sub>w</sub>を印加しない限り導通しない。このため、書き込み動作モードにおいて前記共通ビット線1に+V<sub>w</sub>あるいは-V<sub>w</sub>の書き込み電圧を印加し、同時にワード線aを選択すると、書き込み電流が前記メモリセルAを通してワード線a

に流れ、所望の書込みが、前記メモリセルAに対してなされる。その際、前記非線型素子DA<sub>1</sub>の両端において前記しきい値電圧に対応する大きな電圧降下が発生し、このため各々のメモリセルに選択トランジスタを設けなくとも、前記書込み電流がさらにメモリセルDに協働するダイオードDD<sub>2</sub>を通り、共通ビット線2に戻るような問題は起こらない。

【0043】また、読み出し時においては例えばビット線1とワード線aを選択し、さらに図14に示す前記非線型素子DA<sub>1</sub>のしきい値電圧THよりも低い読み出し電圧V<sub>1</sub>を前記選択されたビット線1に印加することにより、読み出し電流が前記第2の非線型素子DA<sub>2</sub>を通過して流れ、前記読み出し電流の値に基づいて前記メモリセルAの抵抗値を検出することにより、前記メモリセルA中に書き込まれた情報が読み出される。その際、前記非線型素子DA<sub>2</sub>を通過してワード線aに流れた読み出し電流は他のメモリセル、例えばメモリセルDに協働する非線型素子DD<sub>2</sub>により阻止され、前記メモリセルDに流れる問題は生じない。

【0044】図13の構成によれば、ワード線とビット線を各々のメモリセルにつき一つとすることができ、メモリセルアレイの構成が非常に簡素化される。このため、図13の構成は前記メモリセルを高密度で集積した大規模メモリセルアレイに適している。なお、本実施例では前記第1の非線型素子DA<sub>1</sub>～DI<sub>1</sub>として対向する一対のダイオードを接続する構成の素子を使ったが、図15に示すような特性を有するトンネル共鳴ダイオードを使うことも可能である。

【第9実施例】図16は、本発明の第9実施例によるメモリセルアレイ100の構成を示す。ただし図16中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0045】図16を参照するに、行方向に配列した一群のメモリセルA、B、Cが単一の共通ビット線1に共通に接続され、また列方向に配列した一群のメモリセルA、D、Gが単一の共通ワード線aに共通に接続されている。行方向に配列したメモリセル群D、E、FあるいはG、H、I、また列方向に配列したメモリセル群B、E、H、あるいはC、F、Iについても同様である。

【0046】その際、本実施例では一のメモリセル、例えばメモリセルAと、対応するワード線、例えばワード線aとの間には、一対のダイオードを対向接続した構成の非線型素子、例えば非線型素子DA<sub>1</sub>が挿入される。前記非線型素子DA<sub>1</sub>は、先に図14あるいは図15に示したような電流電圧特性を有する。かかる構成のメモリセルアレイ100では、例えばビット線1およびワード線aを選択し、前記選択されたビット線1に前記非線型素子DA<sub>1</sub>を導通させる書込み電圧V<sub>1</sub>を印加した場合、前記メモリセルAに書き込み電流が流れ、前記メモリセルAを構成する強磁性リングが所望の方向に磁化さ

れる。さらに、前記メモリセルAに書き込まれた情報を読み出す場合には、先に図9(B)で説明したように前記メモリセルAを通過し、前記ワード線aに到達する読み出し電流の立ち上がりを検出する。このため、各々のワード線a、b、cには、図示していないが基準電圧とワード線電圧とを比較する比較器が接続されている。本実施例では、書込み電流と読み出し電流とは同じものであってもよい。

【0047】ところで、このようにして選択されたメモリセルAを通過し、ワード線aに到達した書込み電流あるいは読み出し電流は、ワード線aに接続された他のメモリセルD、Gにも供給されるが、前記非線型素子DA<sub>1</sub>を通過する際に所定の電圧降下が生じているため、これら非選択メモリセルD、Gに接続された非線型素子DD<sub>1</sub>あるいはDG<sub>1</sub>が導通することはなく、非選択メモリセルに書き込み電流あるいは読み出し電流が流れることはない。

【第10実施例】次に、図4(A)、(B)で説明したMRAM40の製造方法を、図17(A)～図19(A、D)の平面図および断面図を参照しながら説明する。ただし、本実施例では、前記MRAM40は先に図12で説明したメモリセルアレイ80の一部を構成する。

【0048】図17(A)、(B)を参照するに、Si基板101の表面には、活性領域102Aを画成するフィールド酸化膜102が形成され、前記Si基板101中には前記活性領域102Aに対応して拡散領域101Aおよび101Bが形成されている。さらに、前記Si基板101上には、前記拡散領域101Aに対応してソース電極Sが、また前記拡散領域101Bに対応してドレイン電極Dが、それぞれ対応する拡散領域にオーミック接触するように形成される。また前記Si基板101上には、前記拡散領域101Aと101Bとの間に、図示を省略したゲート酸化膜を隔てて、ゲート電極Gが形成されている。図17(A)の平面図に示すように、前記ソース電極Sは図面中を上下方向に連続的に延在し、図12のメモリセル80におけるワード線aを構成する。前記ソース電極S、ドレイン電極Dおよびゲート電極Gは、例えばCu膜のスパッタリングにより形成すればよい。

【0049】次に、図17(C)、(D)の工程において、図17(A)、(B)の構造上にSiO<sub>2</sub>膜13が、前記ソース電極S、ゲート電極Gおよびドレイン電極Dを覆うように、例えばCVD法により約200nmの厚さに堆積され、さらに図17(E)、(F)の工程において、前記SiO<sub>2</sub>膜103上に、CMP工程による平坦化の後、レジスト膜104が典型的には約200nmの厚さに形成される。前記レジスト膜104には、フォトリソグラフィにより、前記ドレイン電極Dの中心部に対応したレジスト開口部104Aが形成され、かかるレジスト開口部104Aにおいて前記SiO<sub>2</sub>膜1

03をドライエッチングすることにより、前記SiO<sub>2</sub>膜103中には前記ドレイン電極Dを露出する開口部が形成される。一例として、前記開口部104Aは約200nmの厚さに形成すればよい。

【0050】次に、図17(G)、(H)の工程において、前記レジスト膜104上にCuあるいはW、さらには高濃度ドーブしたポリシリコン等の導電膜105をスパッタリングにより約40nmの厚さに堆積し、さらに図17(I)、(J)の工程において前記導電膜105を前記レジスト膜104と共にリフトオフする。その結果、前記ドレイン電極D上には、前記レジスト開口部104に対応して前記導電膜105と同一組成の導電性ブラグ105Aが形成される。

【0051】次に、図17(K)、(L)の工程において図17(I)、(J)の構造上にSiO<sub>2</sub>膜106をモノシランと酸素を使ったCVD法により、典型的には100nmの厚さに形成し、さらに図18(M)、(N)の工程において前記SiO<sub>2</sub>膜106をエッチバックし、前記導電性ブラグ105Aの回りに側壁酸化膜106Aを形成する。

【0052】さらに図18(O)、(P)の工程において前記導電性ブラグ105Aおよび側壁酸化膜106Aを覆うようにレジストパターン107を形成し、さらにその上にSiO<sub>2</sub>層間絶縁膜108をCVD法により堆積する。さらに図18(Q)、(R)の工程において前記レジストパターン107と共にその上のSiO<sub>2</sub>膜108をリフトオフし、前記SiO<sub>2</sub>層間絶縁膜108中に、前記導電性ブラグ105Aを露出する開口部108Aを形成する。

【0053】次に、図18(S)、(T)の工程において図18(Q)、(R)の構造上にFeNi合金層およびCo層の堆積をスパッタリングにより行ない、前記強磁性リング42に対応する下側強磁性層109Aを典型的には約10nmの厚さに形成し、さらにその上に厚さが約2nmあるいはそれ以下の非常に薄いAl層109Bをスパッタリングにより形成する。さらに前記Al層109Bの表面を純酸素雰囲気中において酸化し、組成が一般にAl<sub>2</sub>O<sub>3</sub>で表される絶縁膜を、前記Al層109Bの表面に前記トンネル絶縁膜43として形成する。さらに、前記トンネル絶縁膜上に、Co層およびFeNi合金層をスパッタリングにより順次堆積し、前記強磁性リング44に対応する上側強磁性層109Cを、典型的には約10nmの厚さに形成する。その結果、前記層間絶縁膜108の開口部108A中に、図4に示すMRAM40と同様な、リング状の強磁性トンネル接合構造MTJが形成される。さらに、前記層間絶縁膜108上に残留している前記強磁性膜109A、109Cおよび間に介在する非磁性膜109BをCMP法により研磨・除去することにより、図18(U)、(V)に示す構造が得られる。

【0054】さらに図19(W)、(X)の工程において、図18(U)、(V)の構造上にSiO<sub>2</sub>膜110が、前記開口部108Aを埋めるように堆積され、さらに前記SiO<sub>2</sub>膜110中には前記強磁性トンネル接合構造MTJを構成する上側強磁性層109Cを露出する開口部110Aが、前記リング状の強磁性トンネル接合構造MTJの回転対称軸を外して形成される。さらに図19(Y)、(Z)の工程において図19(W)、

(X)の構造上にMnFe、PtMn等よりなる反強磁性膜111とCu等の低抵抗導電膜112とが順次スパッタリングにより、典型的にはそれぞれ10nmおよび50nmの厚さに堆積され、その結果前記強磁性リング44上の反強磁性膜パターン46に対応した反強磁性膜パターン111Aが、前記開口部110A中に形成される。さらに、前記開口部110A中には、前記反強磁性膜パターン111A上にCu等の低抵抗導電性ブラグ112Aが形成される。

【0055】さらに図19(AA)および(AB)の工程において、図19(Y)、(Z)の構造に対してCMP法を適用し、前記層間絶縁膜108が露出した構造を形成する。かかる構造においては、前記層間絶縁膜108の平坦化主面上に前記導電性ブラグ112Aが露出しており、図19(AC)の工程において図19(AA)、(AB)の構造上に前記層間絶縁膜108を覆うように別の層間絶縁膜113を堆積し、さらに前記層間絶縁膜113中に前記層間絶縁膜108を貫通して前記ゲート電極Gを露出するコンタクトホール113Aおよび前記導電性ブラグ112Aを露出するコンタクトホール113Bを形成する。そこで、図19(AC)に示すように前記層間絶縁膜113上に前記コンタクトホール113Aおよび113Bを覆うように、図19(AC)中横方向に延在するビット線パターンBL(2)をパターンニングすることにより、図12のビット線2に対応した、前記選択トランジスタのゲート電極および前記読み出し用ビット線BL2(図4(A)参照)の一部を構成する共通ビット線BL(2)が形成される。さらに、前記層間絶縁膜113中には前記MTJ構造中央部の導電性ブラグ105Aを露出する開口部113Cが形成され、前記開口部113C上には、前記共通ビット線BL(2)に平行に、書込み用ビット線BL1(図4(A)参照)の一部を構成する共通ビット線BL(1)が形成される。

【0056】図19(AC)、(AD)の構造は、さらに外部磁場中で熱処理することにより、前記反強磁性膜パターン111Aが所望の方向に磁化され、図4(A)の構造における上側強磁性リング44の磁化のピンギが生じる。同様な工程により、他の実施例によるMRAM、例えばMRAM40B~40Cも形成することができる。さらに、スピンバルブ型のMRAM50では、図18(S)、(T)の構造においてAlよりなる非磁性

層109Bを堆積する際に、表面の酸化を行わず、直接に上側強磁性層109Cを形成すればよい。また、図9(A)のMRAM60では、図18(S)、(T)の構造において単一の強磁性層を堆積すればよい。

【第11実施例】図20(A)～図22(Q)は、本発明の第11実施例によるMRAM40の製造工程を示す。本実施例は先の実施例と同様に、前記MRAM40により図12のメモリアルレイ80を構成するのに適している。

【0057】図20(A)を参照するに、Si基板201上には絶縁膜202中に埋め込まれたポリシリコンゲート電極Gと、前記ポリシリコンゲート電極Gの両側に形成されたポリシリコンソース電極Sおよびドレイン電極Dを有し、前記Si基板201中には前記ソース電極Sに対応して拡散領域201Aおよび201Bが形成されている。図20(A)の構造では、前記ポリシリコンゲート電極Gおよびソース電極S、ドレイン電極Dは前記絶縁膜202の表面に露出しており、前記絶縁膜202上にはFeNi層の上にCo層を積層した積層構造を有する強磁性膜203と、好ましくはAlよりなる非磁性膜204と、前記非磁性膜204上に形成された、Co層とFeNi層を積層した積層構造を有する強磁性膜205とよりなる積層構造206が形成されている。その際、前記Al層204の表面には、厚さが約2nmあるいはそれ以下で組成がAlO<sub>x</sub>で表されるトンネル絶縁膜が形成されている。

【0058】次に、図20(B)、(C)の工程において、図20(A)の積層構造206はパターンニングされ、前記ドレイン電極上に、図20(C)の平面図よりわかるようにディスク形状の強磁性トンネル接合構造MTJが形成される。さらに、図20(D)、(E)の構造において、図20(B)、(C)の強磁性トンネル接合構造MTJの周囲には、SiO<sub>2</sub>よりなる側壁絶縁膜207が形成され、図20(F)、(G)の構造において、図20(D)、(E)の構造上にはPtMnあるいはFeMn等よりなる反強磁性層208が、前記強磁性トンネル接合構造MTJの上側強磁性層205と電気的にコンタクトするように形成される。

【0059】さらに、図21(H)、(I)の工程において前記反強磁性層208がパターンニングされ、前記ゲート電極Gと前記強磁性層205とが、電気的に接続される。ただし、前記反強磁性層208は、前記強磁性トンネル接合構造MTJの側壁面からは、前記側壁絶縁膜207により、電気的に絶縁されている。さらに、図21(J)、(K)の工程において図21(H)、(I)の構造上にSiO<sub>2</sub>等よりなる層間絶縁膜209が堆積され、CMP法による平坦化工程の後、前記強磁性トンネル接合の中央部を貫通し、前記ドレイン電極Dを露出する開口部209Aが形成される。

【0060】さらに図22(N)、(O)の工程におい

て、前記開口部209Aの側壁面上に側壁絶縁膜210が形成され、さらに前記前記開口部209A中、前記側壁絶縁膜210の内側にWあるいはCu等よりなる導電性プラグ211が形成される。要約すると、本発明は以下ものを提供する。

【0061】(1) 第1の強磁性膜と、前記第1の強磁性膜に隣接して形成され、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間に挟持されたトンネル絶縁膜とよりなる強磁性トンネル接合構造と、前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを、中心軸に沿って貫通する導電性プラグと、前記導電性プラグの第1の端部に接続された第1の選択線と、前記導電性プラグの第2の、反対側の端部に接続された第2の選択線とを備え、前記第1の磁性膜は、前記導電性プラグを囲むリング状形状を有し、前記導電性プラグから絶縁されおり、前記第1および第2の強磁性膜のいずれか一方は、その一部に反強磁性膜パターンを担持することを特徴とする強磁性トンネル接合ランダムアクセスメモリ。

【0062】(2) 前記反強磁性膜パターンは、前記中心軸の回りを180°以下の角度で延在することを特徴とする(1)記載の強磁性トンネル接合ランダムアクセスメモリ。

(3) 第1の強磁性膜と、前記第1の強磁性膜に隣接して形成され、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間に挟持されたトンネル絶縁膜とよりなる強磁性トンネル接合構造と、前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを、中心軸に沿って貫通する導電性プラグと、前記導電性プラグの第1の端部に接続された第1の選択線と、前記導電性プラグの第2の、反対側の端部に接続された第2の選択線とを備え、前記第1の磁性膜は、前記導電性プラグを囲むリング状形状を有し、前記導電性プラグから絶縁されおり、前記第1および第2の強磁性膜のうちの一方の強磁性膜は、前記他方の強磁性膜よりも大きい保磁力を有することを特徴とする強磁性トンネル接合ランダムアクセスメモリ。

【0063】(4) 前記第1および第2の磁性膜は、前記導電性プラグを囲むリング状形状を有することを特徴とする(1)～(3)のうち、いずれか一項記載の強磁性トンネル接合ランダムアクセスメモリ。

(5) 前記導電性プラグは、側壁面を絶縁膜で覆われていることを特徴とする(1)～(4)のうち、いずれか一項記載の強磁性トンネル接合ランダムアクセスメモリ。

【0064】(6) さらに前記第1の強磁性膜上には、前記導電性プラグを避けて、第3の選択線が電気的に接続されることを特徴とする(1)～(5)のうち、いずれか一項記載の強磁性トンネル接合ランダムアクセスメモリ。

(7) さらに、前記第2の強磁性膜上には、前記導電性プラグを避けて、第4の選択線が電気的に接続されることを特徴とする(6)記載の強磁性トンネル接合ランダムアクセスメモリ。

【0065】(8) 前記第2の選択線は、前記導電性プラグの前記第2の端部と前記第2の強磁性膜とを電気的に接続する導体パターンよりなることを特徴とする

(6)記載の強磁性トンネル接合ランダムアクセスメモリ。

(9) 前記反強磁性膜パターンは、前記第1の強磁性膜上に担持され、前記第3の選択線は、前記第1の強磁性膜に、前記反強磁性膜パターンを介して接続されることを特徴とする(8)記載の強磁性トンネル接合ランダムアクセスメモリ。

【0066】(10) 前記導体パターンは、半導体基板中に形成された拡散領域上に形成されたいことを特徴とする(8)または(9)記載の強磁性トンネル接合ランダムアクセスメモリ。

(11) 前記拡散領域は、前記半導体基板上に形成されたトランジスタの一部を構成することを特徴とする

(10)記載の強磁性トンネル接合ランダムアクセスメモリ。

【0067】(12) 第1の強磁性膜と、前記第1の強磁性膜に隣接して形成された、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間に挟持された非磁性導電膜とよりなるスピバルブ接合構造と、前記スピバルブ接合構造中を、前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを貫通して、中心軸に沿って延在する導電性プラグと、前記導電性プラグの第1の端部に接続された第1の選択線と、前記導電性プラグの第2の、反対側の端部に接続された第2の選択線と、前記スピバルブ接合構造の側壁面上の第1の位置に接続された第3の選択線と、前記スピバルブ接合構造の前記側壁面上、前記第1の位置に対向する第2の位置に接続された第4の選択線とを備え、前記第1の磁性膜は、前記導電性プラグを囲むリング状形状を有し、前記導電性プラグから絶縁されおり、前記第1および第2の強磁性膜のいずれか一方は、その一部に反強磁性膜パターンを担持することを特徴とするスピバルブランダムアクセスメモリ。

【0068】(13) 前記反強磁性膜パターンは、前記中心軸の回りを180°以下の角度で延在することを特徴とする(12)記載のスピバルブランダムアクセスメモリ。

(14) 第1の強磁性膜と、前記第1の強磁性膜に隣接して形成された、固定された磁化を有する第2の強磁性膜と、前記第1および第2の強磁性膜の間に挟持された非磁性導電膜とよりなるスピバルブ接合構造と、前記スピバルブ接合構造中を、前記第1の強磁性膜と前記トンネル絶縁膜と前記第2の強磁性膜とを貫通して、

中心軸に沿って延在する導電性プラグと、前記導電性プラグの第1の端部に接続された第1の選択線と、前記導電性プラグの第2の、反対側の端部に接続された第2の選択線と、前記スピバルブ接合構造の側壁面上の第1の位置に接続された第3の選択線と、前記スピバルブ接合構造の前記側壁面上、前記第1の位置に対向する第2の位置に接続された第4の選択線とを備え、前記第1の磁性膜は、前記導電性プラグを囲むリング状形状を有し、前記導電性プラグから絶縁されおり、前記第1および第2の強磁性膜のうちの一方の強磁性膜は、前記他方の強磁性膜よりも大きい保磁力を有することを特徴とするスピバルブランダムアクセスメモリ。

【0069】(15) 前記第1および第2の磁性膜は、前記導電性プラグを囲むリング状形状を有することを特徴とする(12)～(14)のうち、いずれか一項記載のスピバルブランダムアクセスメモリ。

(16) 前記導電性プラグは、側壁面を絶縁膜で覆われていることを特徴とする(12)～(15)のうち、いずれか一項記載のスピバルブランダムアクセスメモリ。

【0070】(17) 強磁性膜と、前記強磁性膜の中央部を貫通する導電性プラグと、前記導電性プラグの第1の端部に接続された第1の選択線と、前記導電性プラグの第2の、反対側の端部に接続された第2の選択線とよりなり、前記強磁性膜は、前記導電性プラグを囲むリング状形状を有し、前記導電性プラグから絶縁されていることを特徴とする単一強磁性膜ランダムアクセスメモリ。

【0071】(18) 各々が請求項8に記載した構成を有する強磁性トンネル接合ランダムアクセスメモリよりなるメモリセルを行列状に複数配列したメモリセルアレイにおいて、前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、前記第3の選択線を、前記メモリセルアレイ中を前記第1の方向に、前記第1の共通選択線に平行に延在する第2の共通選択線に接続され、前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第3の共通選択線に接続され、各々のメモリセルは、前記第3の共通選択線と前記第2の選択線との間に挿入されたスイッチを含むことを特徴とするメモリセルアレイ。

【0072】(19) 前記スイッチは、前記メモリセルアレイ中を前記第2の方向に、前記第3の共通選択線に平行に延在する第4の共通選択線に接続され、前記第4の共通選択線上の信号により導通するトランジスタよりなることを特徴とする(18)記載のメモリセルアレイ。

(20) 前記スイッチは前記第2の共通選択線に接続され、前記第2の共通選択線上の信号により導通するトランジスタよりなることを特徴とする(18)記載のメモリセルアレイ。

【0073】(21) 各々が請求項7に記載した構成を有する強磁性トンネル接合ランダムアクセスメモリよりなるメモリセルを行列状に複数配列したメモリセルアレイにおいて、前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1および第3の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2および第4の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第2の共通選択線に接続され、各々のメモリセルは、前記第2の共通選択線と前記第2の選択線との間に挿入された第1のダイオードと、前記第2の共通選択線と前記第4の選択線との間に挿入された第2のダイオードとを含み、前記第1のダイオードと前記第2のダイオードとは、異なった特性を有することを特徴とするメモリセルアレイ。

【0074】(22) 前記第1のダイオードは、負性抵抗ダイオードであることを特徴とする(21)記載のメモリセルアレイ。

(23) 各々が請求項12に記載した構成を有するスピバルブランダムアクセスメモリよりなるメモリセルを行列状に複数配列したメモリセルアレイにおいて、前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1および第3の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、前記メモリセルアレイ中において第2の、異なった方向に整列した一群のメモリセルは、前記第2および第4の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第2の共通選択線に接続され、各々のメモリセルは、前記第2の共通選択線と前記第2の選択線との間に挿入された第1のダイオードと、前記第2の共通選択線と前記第4の選択線との間に挿入された第2のダイオードとを含み、前記第1のダイオードと前記第2のダイオードとは、異なった特性を有することを特徴とするメモリセルアレイ。(24) 前記第1のダイオードは、負性抵抗ダイオードであることを特徴とする(23)記載のメモリセルアレイ。

【0075】(25) 各々(17)に記載した磁気ランダムアクセスメモリを行列状に複数配列したメモリセルアレイにおいて、前記メモリセルアレイ中において第1の方向に整列した一群のメモリセルは、前記第1の選択線を、前記磁気メモリセルアレイ中を前記第1の方向に延在する第1の共通選択線に接続され、前記メモリセルアレイ中において第2の、異なった方向に整列した一

群のメモリセルは、前記第2の選択線を、前記メモリセルアレイ中を前記第2の方向に延在する第2の共通選択線に接続され、各々のメモリセルは、前記第2の共通選択線と前記第2の選択線との間にダイオードを挿入されたことを特徴とするメモリセルアレイ。

【0076】(26) 前記のダイオードは、負性抵抗ダイオードであることを特徴とする(25)記載のメモリセルアレイ。以上、本発明を好ましい実施例について説明したが、本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々は変形・変更が可能である。

【0077】

【発明の効果】本発明によれば、磁気ランダムアクセスメモリを強磁性トンネル接合あるいはスピバルブ接合を使って形成する際に、前記強磁性トンネル接合あるいはスピバルブ接合を構成する強磁性層をリング状に形成することで、前記磁気ランダムアクセスメモリを非常に微細化した場合にも還流磁場により強磁性層の磁化方向が変化する問題が回避され、安定な書込みあるいは読み出し動作が実現できる。その際、前記強磁性層をリング形状に沿って磁化し、かかる磁化をビニングするために、本発明ではビンド層上の、回転対称軸から外れた部分に反強磁性膜パターンを形成する。このような構成では、前記反強磁性膜パターンを一方向に磁化することで、前記リング状ビンド層の磁化方向を右手回り方向あるいは左手回り方向にビニングすることが可能になる。

【0078】さらに、本発明によれば、書込み電流路の一部と読み出し電流路とを単一の強磁性トンネル接合構造あるいはスピバルブ接合に対して別々に形成することも可能であるが、一部を共用するようにすることで、メモリセルアレイを構成した場合のビット線あるいはワード線の数を減らすことが可能になる。さらに、本発明は、単一の強磁性リングを使った、非常に簡単な構成の磁気ランダムアクセスメモリを提供する。かかる単一の強磁性リングを使ったランダムアクセスメモリは、単一のビット線と単一のワード線により駆動することができ、メモリセルアレイの構成が非常に簡素化される。また、これに伴い、メモリセルアレイの集積密度を向上させることができる。

【0079】さらに、本発明によれば、かかる磁気ランダムアクセスメモリをメモリセルとして配列することにより形成されたメモリセルアレイにおいて、一のメモリセルの選択、すなわち書込み電流の供給あるいは読み出し電流の供給が、ワード線あるいはビット線を介して接続された他のメモリセルに対してもなされてしまう問題が、各々のメモリセルに対応して選択トランジスタあるいはその他の非線型素子を設けることにより、回避される。

【図面の簡単な説明】

【図1】従来の磁気ランダムアクセスメモリの構成を示



す図である。

【図2】(A), (B)は、図1の磁気ランダムアクセスメモリの問題点を説明する図である。

【図3】従来の別の磁気ランダムアクセスメモリの構成を示す図である。

【図4】(A), (B)は、本発明の第1実施例による磁気ランダムアクセスメモリの構成を示す図である。

【図5】図4(A), (B)の磁気ランダムアクセスメモリの一変形例を示す図である。

【図6】本発明の第2実施例による磁気ランダムアクセスメモリの構成を示す図である。

【図7】本発明の第3実施例による磁気ランダムアクセスメモリの構成を示す図である。

【図8】本発明の第4実施例による磁気ランダムアクセスメモリの構成を示す図である。

【図9】(A), (B)本発明の第5実施例による磁気ランダムアクセスメモリの構成および動作を示す図である。

【図10】(A), (B)は、本発明で使われる記号を説明する図である。

【図11】本発明の第6実施例によるメモリセルアレイの構成を示す図である。

【図12】本発明の第7実施例によるメモリセルアレイの構成を示す図である。

【図13】本発明の第8実施例によるメモリセルアレイの構成を示す図である。

【図14】図13の実施例で使われる非線型素子の特性を示す図である。

【図15】図13の実施例で使われる別の非線型素子の特性を示す図である。

【図16】本発明の第9実施例によるメモリセルアレイの構成を示す図である。

【図17】(A)～(L)は、本発明の第10実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その1)である。

【図18】(M)～(V)は、本発明の第10実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その2)である。

【図19】(W)～(AD)は、本発明の第10実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その3)である。

【図20】(A)～(E)は、本発明の第11実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その1)である。

【図21】(F)～(M)は、本発明の第11実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その2)である。

【図22】(N)～(Q)は、本発明の第11実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その3)である。

【符号の説明】

10, 20, 40, 40A, 40B, 40C, 50, 60 磁気ランダムアクセスメモリ

11 ワード線

12, 14, 22, 24, 42, 44, 44A, 52, 54, 61, 109A, 109C, 203, 205 強磁性層

13, 23, 43 トネル絶縁膜

15 ビット線

45, 47, 55, 57A, 57B 導電性プラグ

46 反強磁性膜パターン

53 非磁性導電膜

70, 80, 90, 100 メモリセルアレイ

101, 201 Si基板

101A, 101B, 201A, 201B 拡散領域

102 フィールド絶縁膜

103, 106 SiO<sub>2</sub>膜

104 レジスト

104A レジスト開口部

105, 112 導電膜

30 105A, 112A, 211 導電性プラグ

106A, 207, 210 側壁絶縁膜

108, 113, 202, 209 層間絶縁膜

108A, 113A～113C 開口部

109B, 204 非磁性膜

110A 開口部

111, 208 反強磁性膜

111A, 208A 反強磁性膜パターン

A～I 強磁性ランダムアクセスメモリセル

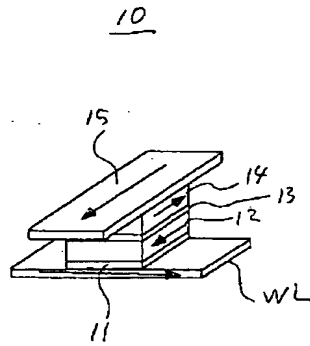
TA～TI 選択トランジスタ

DA<sub>1</sub>～DI<sub>1</sub>, DA<sub>2</sub>～DI<sub>2</sub> 非線型選択素子

MTJ 強磁性トンネル接合構造

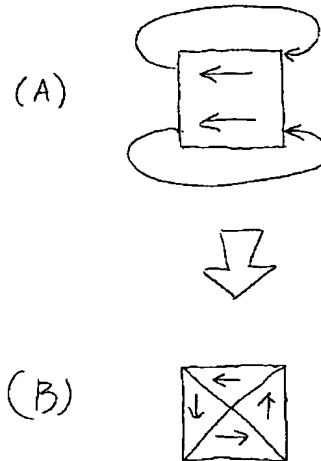
【図1】

従来の磁気ランダムアクセスメモリの構成を示す図



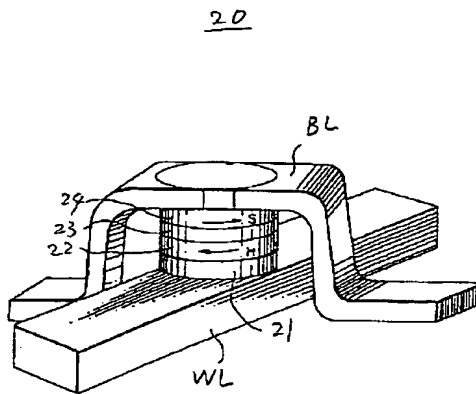
【図2】

(A)、(B)は、図1の磁気ランダムアクセスメモリの問題点を説明する図



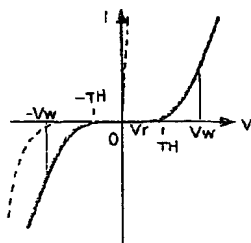
【図3】

従来の別の磁気ランダムアクセスメモリの構成を示す図



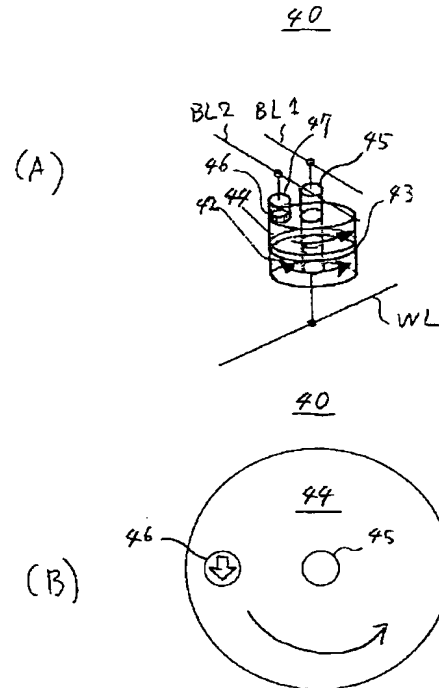
【図14】

図13の実施例で使われる非線型素子の特性を示す図



【図4】

(A)、(B)は、本発明の第1実施例による磁気ランダムアクセスメモリの構成を示す図

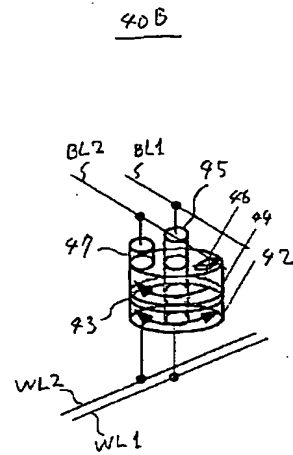
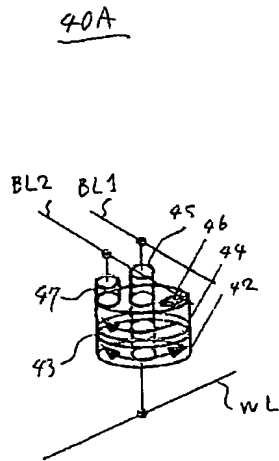


【図5】

【図6】

図4 (A), (B) の磁気ランダムアクセスメモリの一変形例を示す図

本発明の第2実施例による磁気ランダムアクセスメモリの構成を示す図

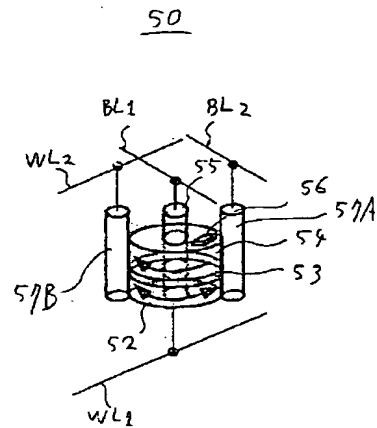
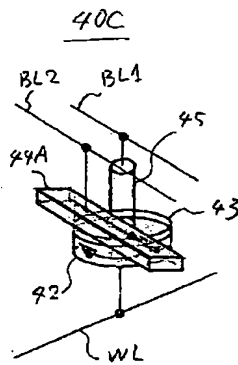


【図7】

【図8】

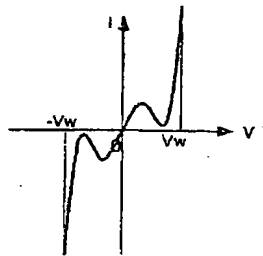
本発明の第3実施例による磁気ランダムアクセスメモリの構成を示す図

本発明の第4実施例による磁気ランダムアクセスメモリの構成を示す図



【図15】

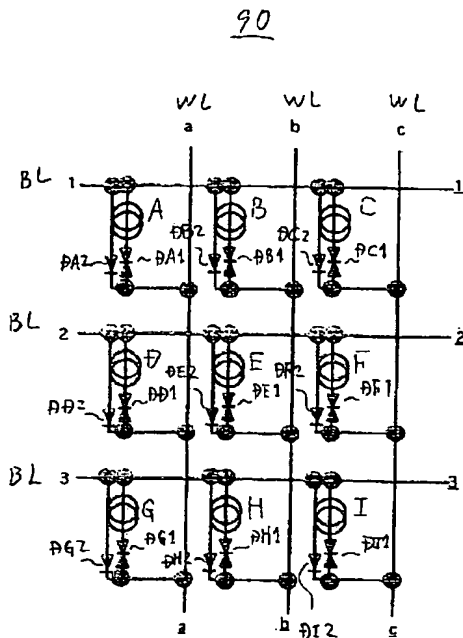
図13の実施例で使われる別の非線型素子の特性を示す図





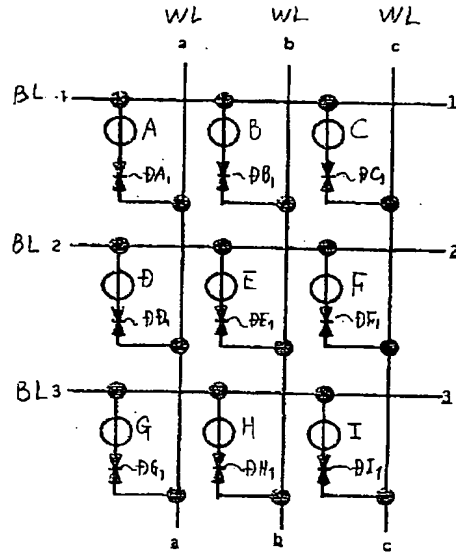
【図13】

本発明の第8実施例によるメモリセルアレイの構成を示す図



【図16】

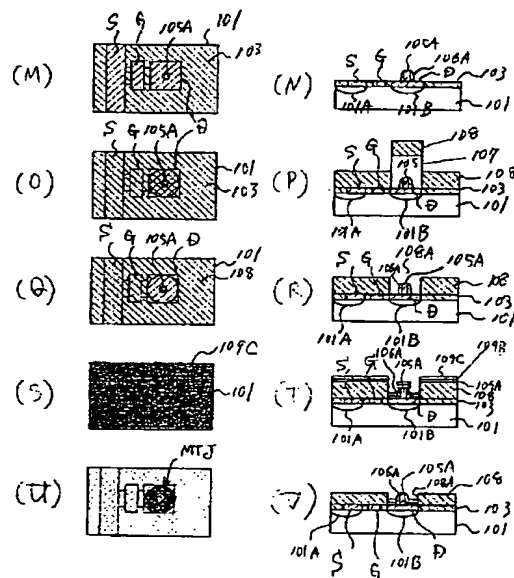
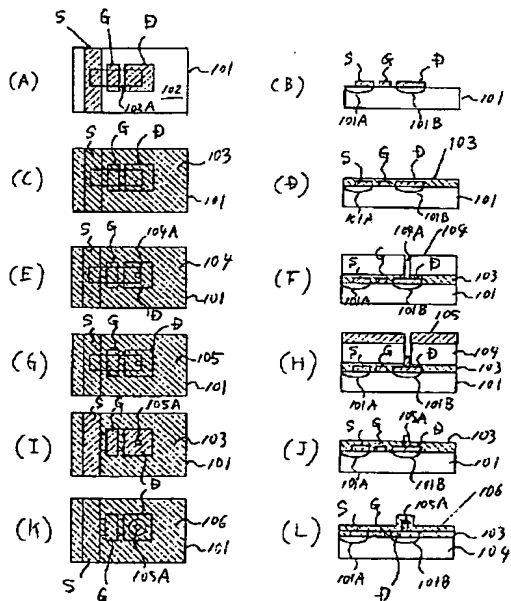
本発明の第9実施例によるメモリセルアレイの構成を示す図



【図18】

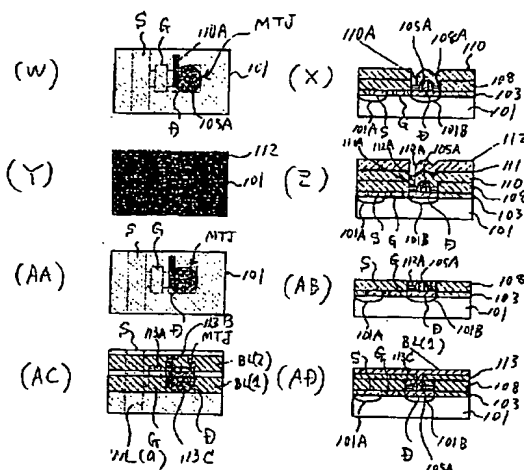
(M) ~ (V) は、本発明の第10実施例による磁気ランダムアクセスメモリの製造工程を説明する図 (その2)

(A) ~ (L) は、本発明の第10実施例による磁気ランダムアクセスメモリの製造工程を説明する図 (その1)



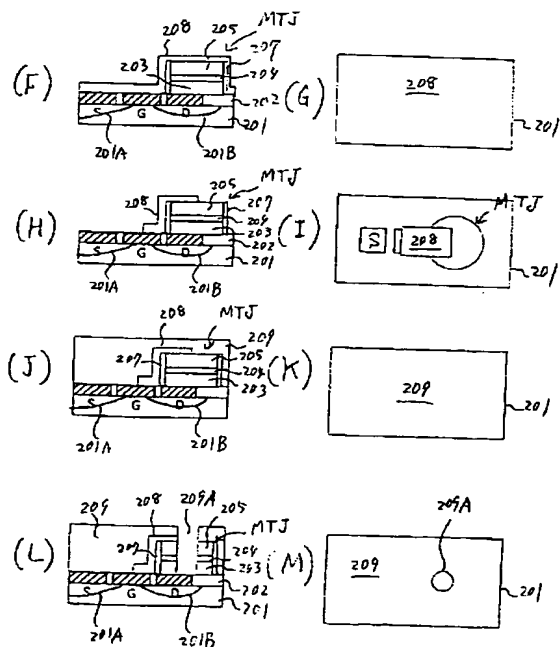
【圖 19】

(W)～(AD)は、本発明の第10実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その3)



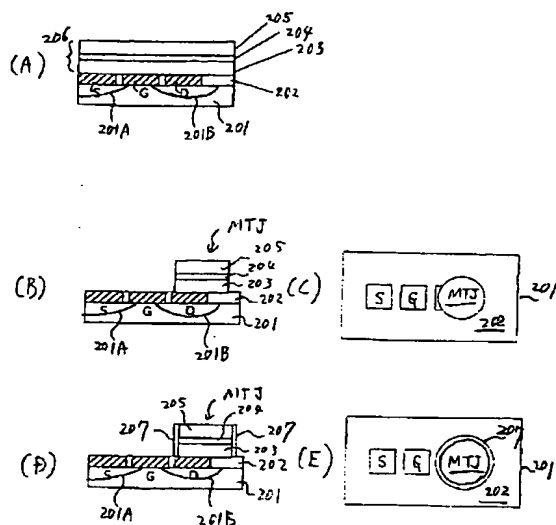
【圖 2 1】

(F)～(M)は、本発明の第11実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その2)



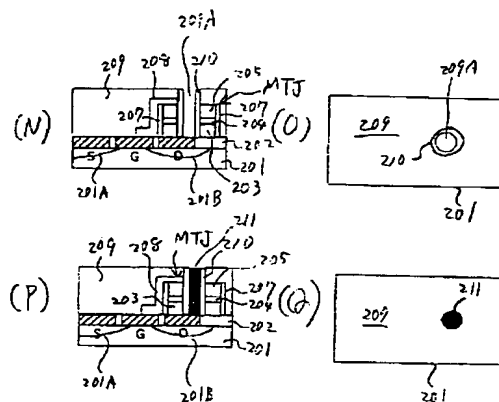
【圖20】

(A)～(E)は、本発明の第1実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その1)



【图 22】

(N)～(Q)は、本発明の第1実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その3)



【手続補正書】

【提出日】平成11年9月24日(1999.9.24)

\*【補正対象項目名】全図

【補正方法】変更

【手続補正1】

【補正内容】

【補正対象書類名】図面

\*

【図1】

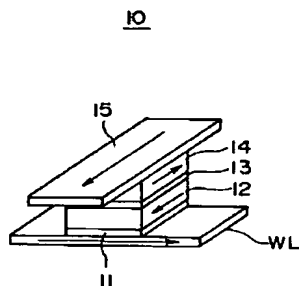
【図2】

【図5】

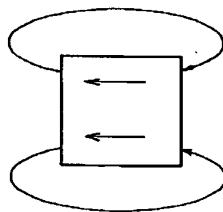
従来の磁気ランダムアクセスメモリの構成を示す図

(A),(B)は、図1の磁気ランダムアクセスメモリの問題点を説明する図

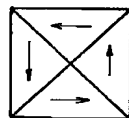
図4(A),(B)の磁気ランダムアクセスメモリの一変形例を示す図



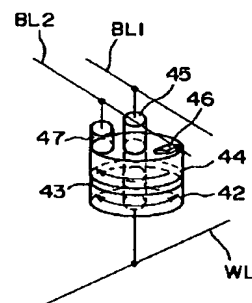
(A)



(B)



40A



【図7】

本発明の第3実施例による磁気ランダムアクセスメモリの構成を示す図

【図3】

【図6】

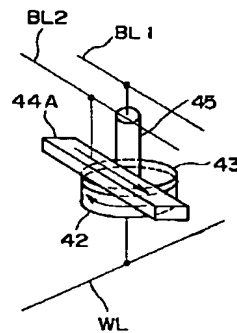
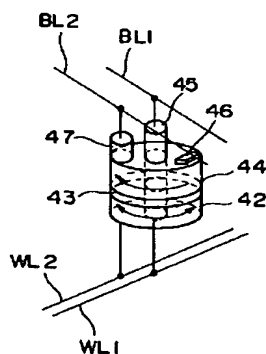
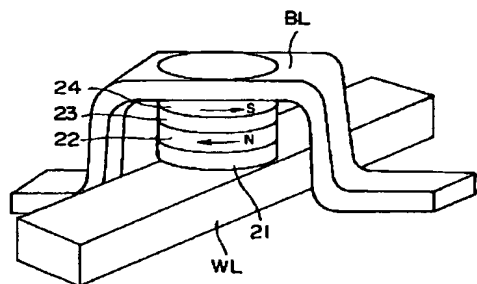
40C

従来の別の磁気ランダムアクセスメモリの構成を示す図

本発明の第2実施例による磁気ランダムアクセスメモリの構成を示す図

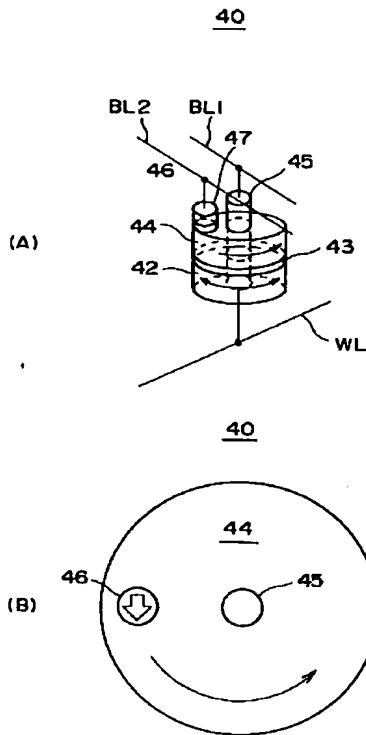
20

40B



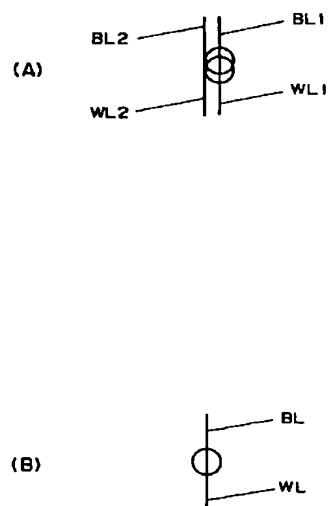
【図4】

(A),(B)は、本発明の第1実施例による磁気ランダムアクセスメモリの構成を示す図



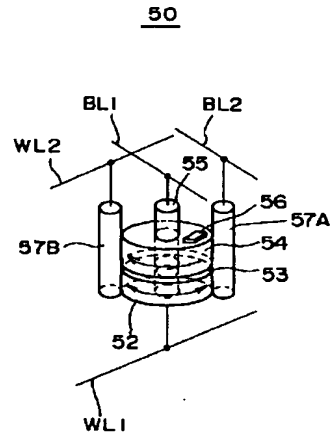
【図10】

(A),(B)は、本発明で使われる記号を説明する図



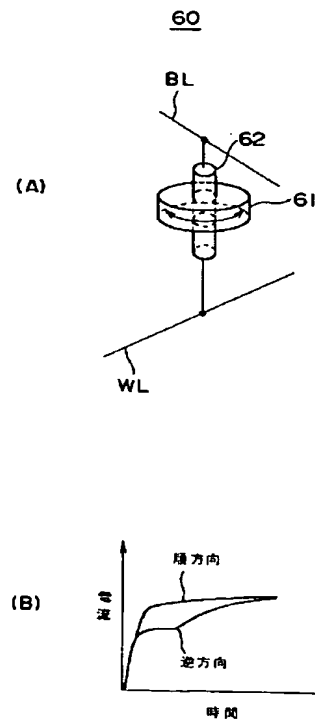
【図8】

本発明の第4実施例による磁気ランダムアクセスメモリの構成を示す図



【図9】

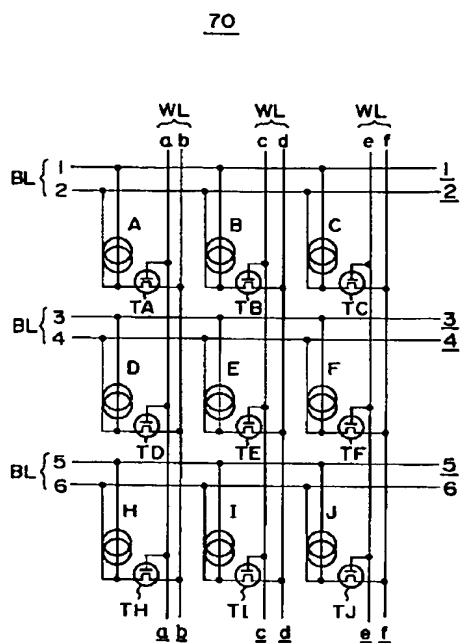
(A),(B) 本発明の第5実施例による磁気ランダムアクセスメモリの構成および動作を示す図





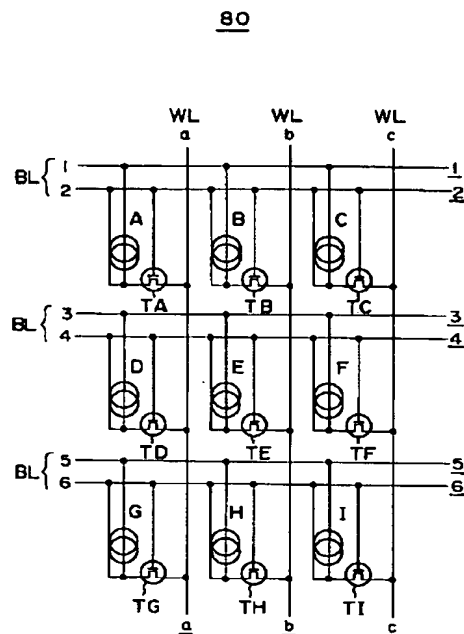
【図11】

本発明の第6実施例によるメモリセルアレイの構成を示す図



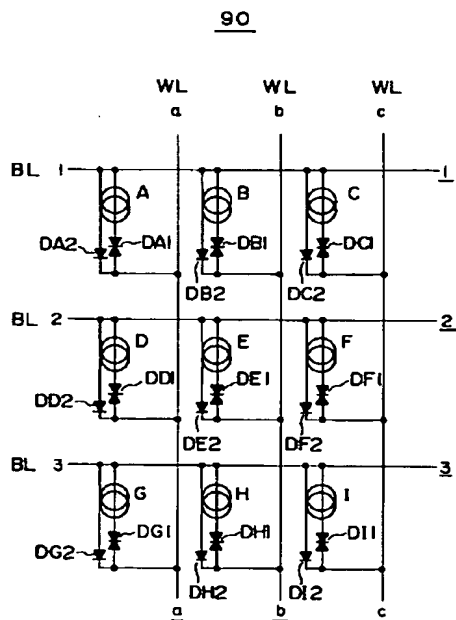
【図12】

本発明の第7実施例によるメモリセルアレイの構成を示す図



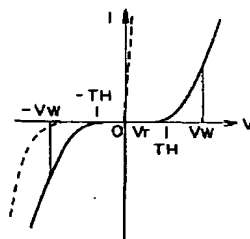
【図13】

本発明の第8実施例によるメモリセルアレイの構成を示す図



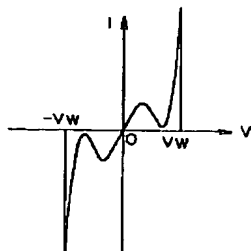
【図14】

図13の実施例で使われる非線型素子の特性を示す図



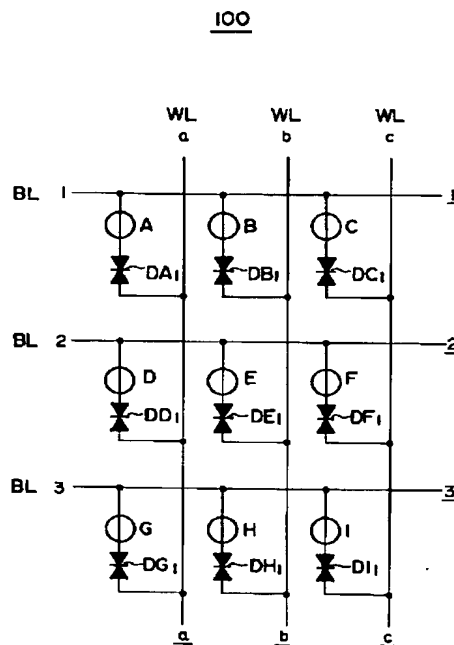
【図15】

図13の実施例で使われる別の非線型素子の特性を示す図



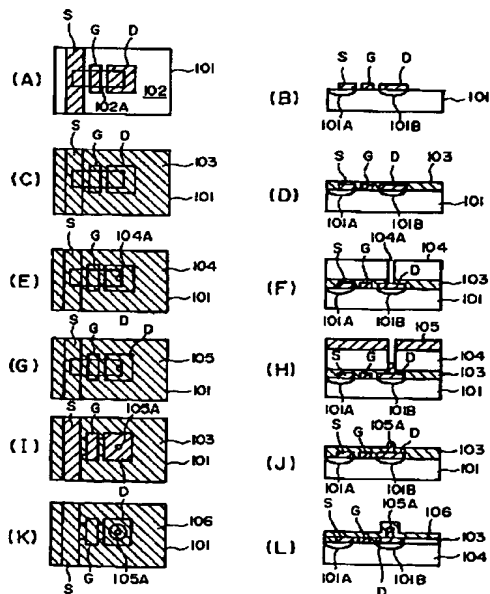
【図16】

本発明の第9実施例によるメモリアルレイの構成を示す図



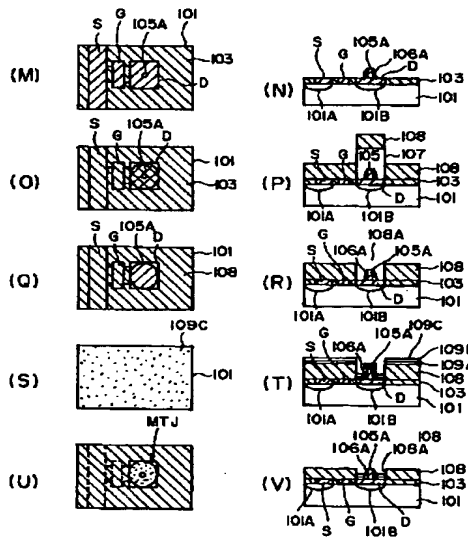
【図17】

(A)～(L)は、本発明の第10実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その1)



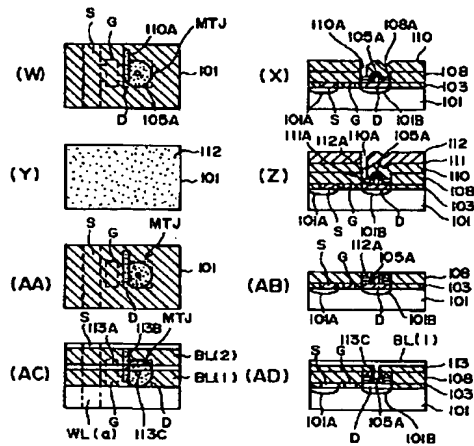
【図18】

(M)～(V)は、本発明の第10実施例による磁気ランダムアクセスメモリの製造工程を説明する図(その2)



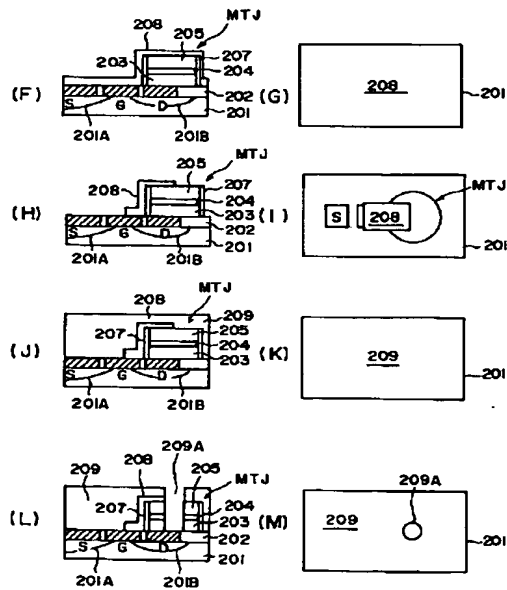
【図 19】

(W)～(AD)は、本発明の第 10 実施例による磁気ランダムアクセスメモリの製造工程を説明する図 (その 3)



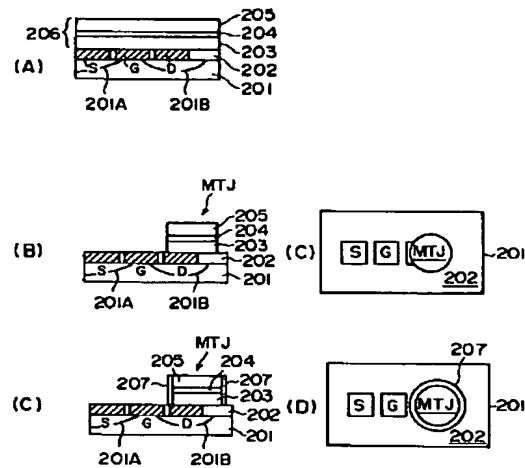
【図 21】

(F)～(M)は、本発明の第 11 実施例による磁気ランダムアクセスメモリの製造工程を説明する図 (その 2)



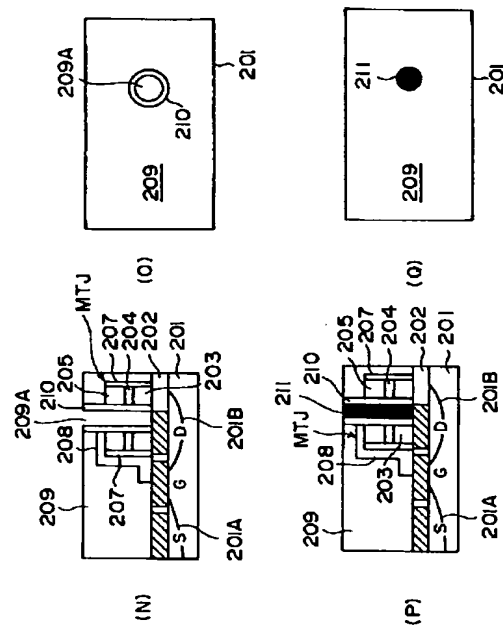
【図 20】

(A)～(E)は、本発明の第 11 実施例による磁気ランダムアクセスメモリの製造工程を説明する図 (その 1)



【図 22】

(N)～(Q)は、本発明の第 11 実施例による磁気ランダムアクセスメモリの製造工程を説明する図 (その 3)



フロントページの続き

(72)発明者 堀口 直人  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

F ターム(参考) 5E049 AA04 AA07 AA09 AA10 AC00  
AC05 BA06  
5F083 FZ10 GA01 GA09 JA37 JA39  
KA01 KA05 MA06 MA19